

# 強者の戦略

研伸館 物理科 米田 誠です。強者の戦略HPの物理のページ, 第39回目は『京都大学 後期日程 論文入試』からの出題です。この問題では高校物理ではほとんど扱われない“半導体メモリー”や“トランジスタ”を扱いますが, それらに関する特別な知識は問われず, 『高校物理で学ぶ基礎知識に基づいて問題文の指示を満足する解答を捻り出す力』が問われています。いわゆる『論理的思考力』の有無が問われます。2013年現在, 論文入試は経済学部以外では実施されていませんが, この出題形式から, 京都大学がどんな学生を求めているかを感じることが出来るのではないのでしょうか。では, 頑張って下さい。

【問題】半導体メモリー 『出典：2002年度 京都大学 後期日程 論文 電気電子工学科』

(考察時間目安：60分)

図1(a)は半導体メモリーを構成する基本素子の回路図である。図中の破線で囲った部分はトランジスタを表している。 $R_1$ はこのトランジスタの内部抵抗,  $R_2$ はコンデンサと並列に接続された抵抗であり,  $R_2$ の値は $R_1$ に比べて十分大きいものとする。端子Aには電圧 $V_A = 0\text{V}$ , あるいは $V_A = 3\text{V}$ をかけることができる。図1(b)に示すように,  $V_A = 0\text{V}$ のときトランジスタのS-D間は開放状態,  $V_A = 3\text{V}$ のときS-D間は短絡状態と見なせる。図1(c)は端子Bがとり得る3つの状態を説明した図である。スイッチ $S_w$ の切り替えにより, 端子Bを端子1に接続した状態(状態1: 端子Bの電圧 $V_B = 0\text{V}$ ), 端子Bを端子2に接続した状態(状態2: 端子Bは開放), 端子Bを端子3に接続した状態(状態3:  $V_B = E[\text{V}]$ )のいずれかを選択できる。

以下の設問に答えよ。

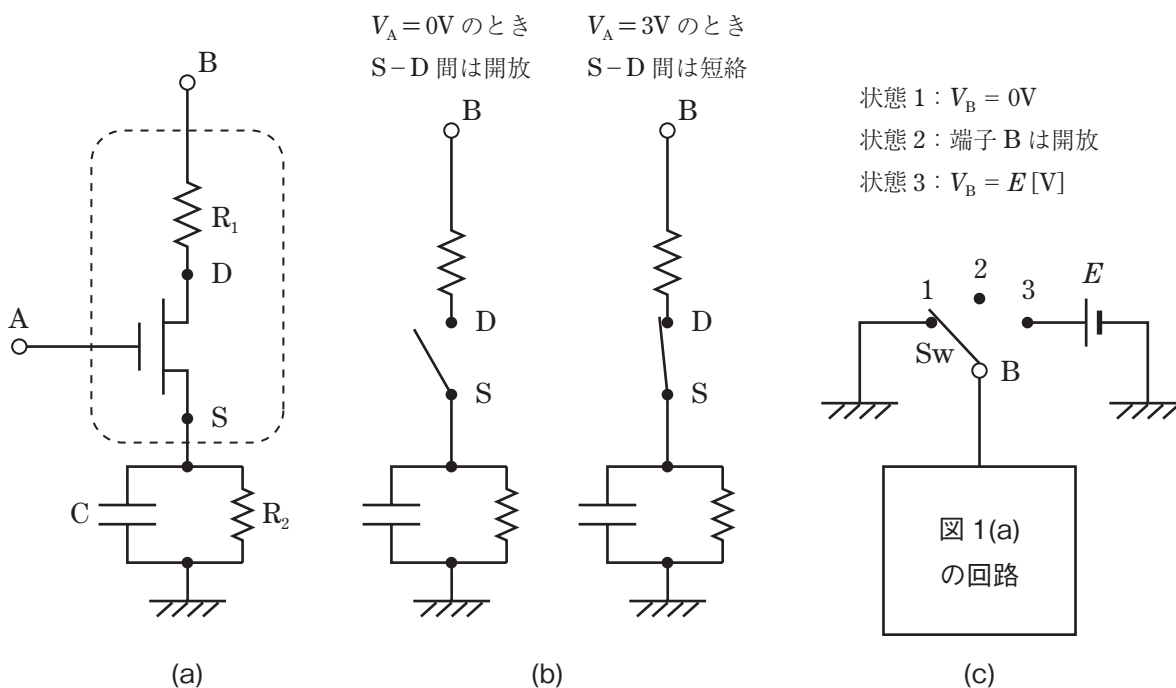


図1 半導体メモリーを構成する基本素子の説明図

# 強者の戦略

設問1 コンデンサ  $C$  (容量  $C_0$ ) の電荷  $Q$  が  $C_0E$  にほぼ等しいとき, この基本素子は二進数の 1 を記憶し, 電荷  $Q$  がほぼゼロのとき, 0 を記憶しているを見なす。この基本素子に 1 を記憶させるには, 端子 A, 端子 B の電圧や状態をどのように設定すればよいか。また 0 を記憶させる場合はどうか。それぞれ説明せよ。

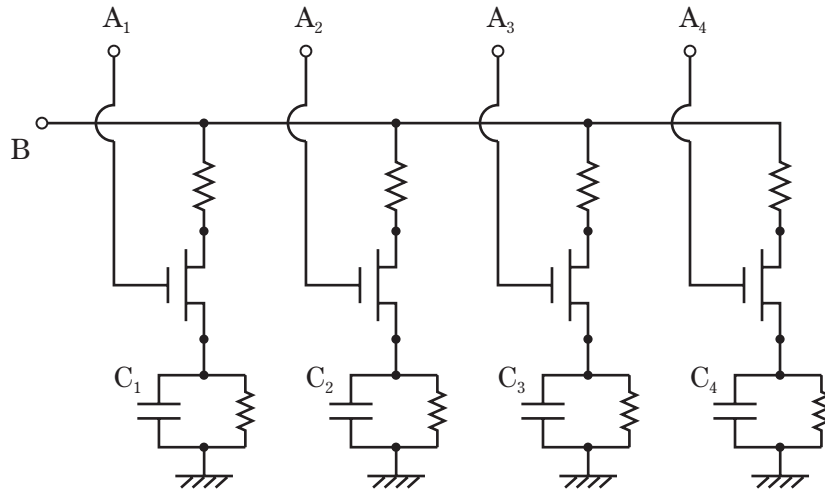
設問2 設問1で述べた 1 あるいは 0 の情報を記憶させる動作を高速に繰り返すことや, 記憶した情報を長時間保持することが要求される場合, 抵抗  $R_1$  と  $R_2$  の値に求められる条件を下記の中からそれぞれ選べ。また, その理由を述べよ。

- ・できる限り大きい値が望ましい
- ・できる限り小さい値が望ましい
- ・最適値が存在する
- ・抵抗の値はあまり重要ではない

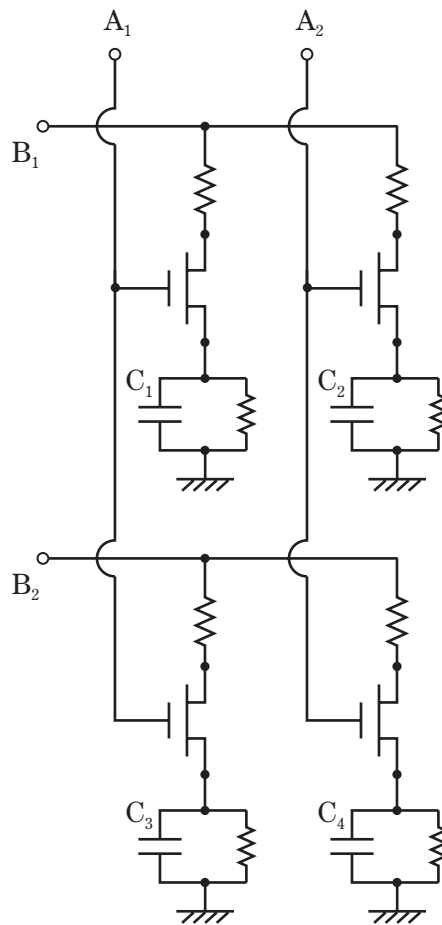
設問3 図 1(a) に示した基本素子を 4 個用いたメモリーの回路構成として, 図 2 に示す 2 種類の回路を考える。回路 1 では 4 個の基本素子が端子 B を共通にして並列に接続されている。一方, 回路 2 では 4 個の基本素子が  $2 \times 2$  の格子状に接続されている。各回路のコンデンサ  $C_1, C_2, C_3, C_4$  (容量は全て  $C_0$ ) の電荷を独立に変えて各々の素子に 0 か 1 を記憶させるためには, 各端子の電圧や状態をどのように設定していけばよいか。回路 1, 回路 2 それぞれについて説明せよ。

設問4 設問3では 4 個の基本素子からなる回路を考えたが, 実際には 1 億個以上の基本素子を接続して大容量の情報を記憶できるメモリーが開発されている。このような大容量メモリーを作製するとき, 端子の総数を少なくするためには, 回路 1, 回路 2 のどちらの方式が適しているか。理由とともに述べよ。

# 強者の戦略



<回路 1>



<回路 2>

図 2 基本素子を 4 個用いたメモリーの回路構成